

日本国特許庁
JAPAN PATENT OFFICEPCT/JP 2004/001894
19. 2. 2004

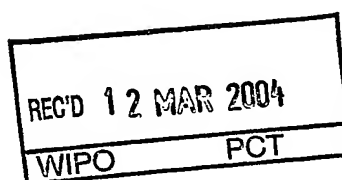
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 2月21日

出願番号
Application Number: 特願2003-044407
[ST. 10/C]: [JP 2003-044407]

出願人
Applicant(s): ソニー株式会社

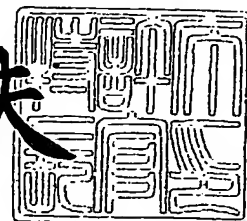


PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2003年10月28日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 0290766301

【提出日】 平成15年 2月21日

【あて先】 特許庁長官殿

【国際特許分類】 H04Q 1/30

【発明者】

【住所又は居所】 神奈川県横浜市保土ヶ谷区神戸町 1 3 4 番地 ソニー・
エルエスアイ・デザイン株式会社内

【氏名】 大竹 裕之

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100094053

【弁理士】

【氏名又は名称】 佐藤 隆久

【手数料の表示】

【予納台帳番号】 014890

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707389

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 パターン検出回路

【特許請求の範囲】

【請求項 1】

検出対象となるエントリーパターンを記憶する検出パターン記憶手段と、
上記各エントリーパターンに対応するフラグ信号を記憶するフラグ記憶手段と、

入力されるデータと上記検出パターン記憶手段に記憶されているエントリーパターンとを比較する比較手段と、

上記比較手段による比較の結果、上記入力データと上記エントリーパターンとが一致したとき、上記フラグ記憶手段に記憶されている当該エントリーパターンに対応するフラグ信号に応じて、上記検出位置を記憶する検出位置記憶手段とを有するパターン検出回路。

【請求項 2】

上記比較手段によって上記入力データと上記エントリーパターンとが一致すると判断した場合、上記エントリーパターンに対応する上記フラグ信号が検出位置を記憶することを示すとき、パターン検出窓信号をアクティブ状態に設定し、上記エントリーパターンに対応する上記フラグ信号が検出位置を記憶しないことを示すとき、上記パターン検出窓信号を非アクティブ状態に設定する検出位置記憶制御手段

をさらに有する請求項 1 記載のパターン検出回路。

【請求項 3】

上記検出位置記憶手段は、上記パターン検出窓信号がアクティブ状態にあるとき、上記エントリーパターンの検出位置を記憶し、上記パターン検出窓信号が非アクティブ状態にあるとき、上記エントリーパターンの検出位置を記憶しない請求項 2 記載のパターン検出回路。

【請求項 4】

上記入力データは、MPEG規格に従って圧縮符号化された画像データ及び音声データである

請求項 1 記載のパターン検出回路。

【請求項 5】

上記エントリーパターンは、上記圧縮符号化されたデータに含まれているパケットの先頭を示す識別データに応じて設定される

請求項 2 記載のパターン検出回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、メモリに記憶されているデータまたは外部から入力されるデータに所定のパターンをもつデータが存在するか否かを検出するパターン検出回路に関するものである。

【0002】

【従来の技術】

検索対象のデータに所定のパターンをもつデータが存在するか否かを検出パターン検出回路において、通常、検出したいパターン（以下、エントリーパターンと表記する）を用いて、メモリ空間にパターンマッチングを行うマッチング法が一般的に利用されている。

【0003】

パターンマッチング法では、検出対象となるメモリ空間に、読み出しアドレスを移動しながらエントリーパターンと一致するか否かを比較する。一致したときの読み出しアドレスが検出位置、またはマッチポジションとして記憶される。このマッチポジションは、エントリーパターンと同じ配列をもつデータがメモリ空間のどの位置に存在するかを示すもので、当該マッチポジションを目印に所望のデータ処理が行われる。

【0004】

一般的なパターン検出回路には、比較回路と検出位置登録回路が含まれている。比較回路において、検索対象のメモリ空間から記憶データが順次読み出され、読み出したデータとエントリーパターンとが一致するか否かが比較される。そして、比較対象が一致したとき検出信号（ヒット信号）が出力される。

検出位置記憶回路は、上記比較回路からヒット信号を受けたとき、検索位置、即ち、そのときの読み出しアドレスまたは所定の基準位置からのカウント値をレジスタ、メモリなどに保持する。

【0 0 0 5】

広大なメモリ空間にエントリーパターンと一致するデータが存在する場合において、ヒット信号が出力するごとにその検出位置を記憶しなければならないため、それだけのビット幅をもつレジスタまたはメモリを用意する必要がある。

例えば、 2^n のメモリ空間からパターン検出を行う場合、 2^n のビット幅をもつレジスタまたはメモリが、ヒット信号の数分必要となる。具体的には、マッチポジションの登録数が m 個とした場合、合計 $2^n \times m$ のレジスタまたはメモリが必要になり、 n と m が増加するにつれて、マッチポジションを記憶するのに必要なリソースの量もそれだけ増加する。

【0 0 0 6】

例えば、動画像及び音声信号を圧縮符号化する標準規格の一つである M P E G において、圧縮符号化されたデータ系列（以下、ビットストリームまたはデータストリームと称する）におけるパターン検出は、システムレーヤ及びビデオレーヤにおいてそれぞれ行われる。M P E G のビットストリームは、先頭に 3 バイトの識別コード $0 \times 0 0 0 0 0 1$ に続き、1 バイトのコードとしてシステムレーヤ、またはビデオレーヤごとに設けられている。システムレーヤとして、複数種類のシステム識別コード（ストリーム ID）が規定され、またビデオレーヤとして複数の開始コード（スタートコード）が規定されている。

【0 0 0 7】

システムレーヤの検出において、検出したストリーム ID をエントリーパターンとして用いて、パターン検出が行われる。また、ビデオレーヤの検出においては、検出したいスタートコードをエントリーパターンとして用いて、パターン検出が行われる。

【0 0 0 8】

【特許文献 1】

特開平 5 - 7 6 0 5 6 号公報

【特許文献2】

特許平7-37326号公報

【特許文献3】

特許平9-321726号公報

【0009】

【発明が解決しようとする課題】

ところで、上述した従来のパターン検出回路を用いてMPEGに準じて生成したビットストリームに対して、システムレーヤのストリームID及びビデオレーヤのスタートコードを検出するとき、まずデータ0x000001をエントリーパターンとして、ビットストリームを順次メモリから読み出して、パターン検出が行われる。そして、0x000001の検出に引き続き、1バイトのコード、例えば、システムレーヤのストリームIDまたはビデオレーヤのスタートコードをエントリーパターンとして、パターン検出が行われる。このため、マッチポジションを記憶するために多くのレジスタまたはメモリが必要となり、また、エントリーパターンを記憶すること自体に、非常に多くのリソースを必要とする。

【0010】

さらに、従来のパターン検出回路において、ヒットするたびに逐次処理を行うことにより、マッチポジションを保持するためのリソースを削減できるが、パターン検出とヒット後の条件分岐に対するオーバーヘッドが大きくなる。このオーバーヘッドを削減するために、ある程度まとまった単位でのパターン検出が必要となる。しかし、これを達成するために、パターン検出回路において検出対象となるメモリ空間をある程度まとまってパターン検出を行う仕組みが必要となるが、通常これを備えていないため、パターン検出のオーバーヘッドの削減が実現できないという不利益がある。

【0011】

本発明は、かかる事情に鑑みてなされたものであり、その目的は、パターンマッチングにより検索対象となるメモリ空間から所望のパターンをもつデータを検出する場合、検出パターン及び検出位置を記憶するためのリソースを節約でき、パターン検出後の処理のオーバーヘッドを削減できるパターン検出回路を提供す

ることにある。

【0012】

【課題を解決するための手段】

上記目的を達成するため、本発明のパターン検出回路は、検出対象となるエントリーパターンを記憶する検出パターン記憶手段と、上記各エントリーパターンに対応するフラグ信号を記憶するフラグ記憶手段と、入力されるデータと上記検出パターン記憶手段に記憶されているエントリーパターンとを比較する比較手段と、上記比較手段による比較の結果、上記入力データと上記エントリーパターンとが一致したとき、上記フラグ記憶手段に記憶されている当該エントリーパターンに対応するフラグ信号に応じて、上記検出位置を記憶する検出位置記憶手段とを有する。

【0013】

また、本発明では、好適には、上記比較手段によって上記入力データと上記エントリーパターンとが一致すると判断した場合、上記エントリーパターンに対応する上記フラグ信号が検出位置を記憶することを示すとき、パターン検出窓信号をアクティブ状態に設定し、上記エントリーパターンに対応する上記フラグ信号が検出位置を記憶しないことを示すとき、上記パターン検出窓信号を非アクティブ状態に設定する検出位置記憶制御手段をさらに有する。

【0014】

また、本発明では、好適には、上記検出位置記憶手段は、上記パターン検出窓信号がアクティブ状態にあるとき、上記エントリーパターンの検出位置を記憶し、上記パターン検出窓信号が非アクティブ状態にあるとき、上記エントリーパターンの検出位置を記憶しない。

【0015】

さらに、本発明では、好適には、上記入力データは、MPEG規格に従って圧縮符号化された画像データ及び音声データであり、上記エントリーパターンは、上記圧縮符号化されたデータに含まれているパケットの先頭を示す識別データに応じて設定される。

【0016】

本発明によれば、検索対象のエントリーパターンごとにフラグ信号が設定される。比較手段によって入力データとエントリーパターンとが比較され、当該比較の結果、入力データがエントリーパターンと一致する場合、当該エントリーパターンに対応するフラグ信号が有効であるか否か、即ち、当該フラグ信号が検出位置の記憶を示しているか否かに従って、検出位置の記憶を示すとき、エントリーパターンと検出位置が記憶され、逆に、フラグ信号が検出位置を記憶しないことを示すとき、検出位置の記憶が行われなない。このため、登録する必要な検出位置を予め指定することが可能となり、検出位置を記憶する記憶手段のリソースを効率よく利用することが可能である。

【0017】

【発明の実施の形態】

図1は本発明に係るパターン検出回路の一実施形態を示す構成図である。

図示のように、本実施形態のパターン検出回路100は、比較部120-1, ..., 120-N ($N > 0$ 、 N は整数)、パターン検出／非検出制御部130、及び検出位置登録部140を有している。なお、図1において、メモリ／ビットストリームインターフェース (Bitstream IF) 110は、パターン検出回路100に入力データINDと読み出しポインタRDPを提供する。

【0018】

以下、本実施形態のパターン検出回路100の構成について説明する。

比較部120-1～120-Nは、同じ構成を有する。このため、図1では、比較部120-1の内部構成のみを示している。図示のように、比較部120-1は、比較器122、エントリーパターン保持部124、及びフラグ保持部126を有している。

【0019】

比較器122は、外部から入力される入力データINDとエントリーパターン保持部124から入力されるエントリーパターンETP1とを比較し、当該比較の結果に応じて、ヒット信号HIT1を出力する。

【0020】

エントリーパターン保持部124は、外部から入力されるエントリーパターン

ETP1を記憶する。そして、エントリーパターン保持部124は、記憶しているエントリーパターンETP1を読み出して、比較器122に出力する。

【0021】

フラグ保持部126は、比較器122の比較結果及び外部から入力されるフラグ信号FLG1に応じて、制御信号CTL1を出力する。制御信号CTL1は、セット信号及びクリア信号からなる。パターン検出／非検出制御部130において、比較部120-1～120-Nから出力される制御信号に応じて、検出したマッチポジションの登録を制御するパターン検出窓信号を生成するの。

【0022】

本実施形態のパターン検出回路100において、比較部120-1～120-Nは、上述したようにそれぞれ比較器122、エントリーパターン保持部124及びフラグ保持部126によって構成されている。それぞれの比較部において、入力される入力データINDと保持されているエントリーパターンETP1～ETPNとの比較が行われ、その結果に基づき、ヒット信号HIT1～HITN及び制御信号CTL1～CTLNが出力される。即ち、本実施形態のパターン検出回路100において、比較部120-1～120-Nによって、複数(N個)のエントリーパターンを検出することが可能である。

【0023】

パターン検出／非検出制御部130は、比較部120-1～120-Nからのヒット信号HIT1～HITN及び制御信号CTL1～CTLNに応じて、保持イネーブル信号HEBを生成して、検出位置登録部140に出力する。

【0024】

図2は、パターン検出／非検出制御部130の一構成例を示している。以下、図2を参照しつつ、パターン検出／非検出制御部130の構成について説明する。

図2に示すように、パターン検出／非検出制御部130は、ORゲート131、132-1、132-2、RSフリップフロップ133、及びANDゲート134を有している。

【0025】

ORゲート131は、比較部120-1～120-Nから出力される複数のヒット信号HIT1～HITNの論理和を演算し、その結果、ヒット信号HITをANDゲート134に出力する。

【0026】

ORゲート132-1は、比較部120-1～120-Nから出力される複数の制御信号CTL1～CTLNに含まれているセット信号SET1～SETNの論理和を演算し、演算結果をセット信号SETとして、RSフリップフロップ133のセット信号入力端子Sに入力する。

ORゲート132-2は、比較部120-1～120-Nから出力される複数の制御信号CTL1～CTLNに含まれているクリア信号CLR1～CLRnの論理和を演算し、演算結果をリセット信号RSTとして、RSフリップフロップ133のリセット信号入力端子Rに入力する。

【0027】

RSフリップフロップ133は、ORゲート132-1から入力されるセット信号及びORゲート132-2から入力されるクリア信号に応じて、パターン検出窓信号PDWを出力する。

【0028】

ANDゲート134は、ORゲート131からのヒット信号HITとRSフリップフロップ133からのパターン検出窓信号PDWの論理積を演算し、当該演算結果を保持イネーブル信号HEBとして、図1に示す検出位置登録部140に出力する。

【0029】

上述したパターン検出／非検出制御部130において、比較部120-1～120-Nの何れかからヒット信号が出力されるとき、ORゲート131によって、ヒット信号HITが出力される。また、比較部120-1～120-Nの何れかからセット信号が出力されるとき、ORゲート132-1によってセット信号SETが出力される。これに応じて、RSフリップフロップ133より、アクティブ状態、例えば、ハイレベルのパターン検出窓信号PDWが出力される。パターン検出窓信号PDWがハイレベルに保持されている間、ORゲート131から

出力されるヒット信号HITが、ANDゲート134を介して保持イネーブル信号HEBとして出力される。

【0030】

一方、比較部120-1～120-Nの何れかからクリア信号が出力されるとき、ORゲート132-2によってリセット信号RSTが出力される。これに応じて、RSフリップフロップ133より、非アクティブ状態、例えば、ローレベルのパターン検出窓信号PDWが出力される。パターン検出窓信号PDWがローレベルに保持されている間、ANDゲート134の出力もローレベルに保持されるので、このときORゲート131から出力されるヒット信号HITが無視される。

【0031】

次に、検出位置登録部140の構成について説明する。図1に示すように、検出位置登録部140は、レジスタ1～レジスタMを有している。検出位置登録部140は、パターン検出／非検出制御部130からの保持イネーブル信号HEBに従って、検出位置の登録を行う。具体的に、検出位置登録部140において、パターン検出／非検出制御部130からの保持イネーブル信号HEBをモニタし、当該保持イネーブル信号HEBがアクティブ状態のハイレベルにあるとき、メモリ／ビットストリームインターフェース110から出力される読み出しポインタRDPを順次にレジスタ1～レジスタMに記憶する。

【0032】

上述したように、パターン検出／非検出制御部130において、比較器120-1～120-Nからのヒット信号HIT1～HITN及び制御信号CTL1～CTLNに応じて、保持イネーブル信号HEBが生成されて、検出位置登録部140に供給される。このため、制御信号、即ちセット信号SET1～SETN及びクリア信号CLR1～CLRnに応じて、比較器120-1～120-Nからのヒット信号HIT1～HITNを選択的に検出位置登録部140に出力することが可能となる。これによって、検出したエントリーパターンのうち、必要なものについてのみ、検出位置（マッチポジション）の登録を行うことができ、パターン検出回路100のリソースを有効に使用することができる。

【 0 0 3 3 】

次に、具体例に基づき、本実施形態のパターン検出回路 1 0 0 の動作について説明する。

本実施形態のパターン検出回路 1 0 0 に入力される入力データ I N D は、所定の符号化規格、例えば、M P E G 規格に従って圧縮符号化された動画像または音声データである。圧縮符号化されたデータがメモリまたは他の記録媒体から読み出されて、図 1 に示すメモリ／ビットストリームインターフェース 1 1 0 を介して、ビットストリーム、即ち、連続したデータの系列となった本実施形態のパターン検出回路 1 0 0 に供給される。また、当該ビットストリームと同時に、読み出しポインタ R D P も出力される。当該読み出しポインタ R D P は、メモリからデータ I N D を読み出すときのポインタ（例えば、読み出しアドレス）、または、所定の時点を開始点として、読み出しごとに所定の単位で増加するカウント値である。

【 0 0 3 4 】

M P E G 規格に従って圧縮符号化されたビットストリームは、図 3 に示すように、パケット単位で区分されている。図 3 では、M P E G 規格に従った動画像及び音声データの一例を示している。

【 0 0 3 5 】

図 3 に示すように、符号化データのビットストリームにおいて、パケットヘッダ（p a c k _ h a d e r）、またはシステムヘッダ（s y s t e m _ h a d e r）に続いて、P E S パケット（P E S _ p a c k e t）が配置されている。

パケットヘッダには、パケットヘッダのスタートを示すパケットスタートコードに続いて、パケットデータの属性を示す属性情報などが含まれている。

システムヘッダには、システムヘッダのスタートを示すシステムヘッダスタートコードに続いて、属性情報などが含まれている。

【 0 0 3 6 】

P E S パケットは、ビデオデータ即ち圧縮符号化された動画像データからなるものと、オーディオデータ即ち圧縮符号化された音声データからなるものがある。それぞれの P E S パケットの先頭に、当該パケットのスタートを示すビデオス

トリームスタートコード (video stream start code) またはオーディオストリームスタートコード (audio stream start code) が配置されている。

【0037】

図4は、システムレーヤのストリーム識別番号 (ストリームID) の例を示している。また、図5は、ビデオレーヤのスタートコードの例を示している。なお、図4及び図5に示すストリームIDまたはスタートコードは、3バイトのコード0x000001に続いて配置されている。

【0038】

図6は、各レーヤのスタートコードを検出するためのエントリーパターンを示す図である。図6に示すように、パケットスタートコードを検出するためのエントリーパターンは、32ビット (4バイト) のデータ0x000001baであり、システムヘッダスタートコードを検出するためのエントリーパターンは、4バイトのデータ0x000001bbである。

また、オーディオストリームスタートコードを検出するためのエントリーパターンは、4バイトのデータ0x000001cーまたは0x000001dーとなり、ビデオストリームスタートコードを検出するためのエントリーパターンは、4バイトのデータ0x000001eーとなる。ここで、ハイフン「ー」は、16進数の0～fの何れかの4ビットのデータを意味する。

【0039】

本実施形態のパターン検出回路100において、比較部120-1～120-Nに対して、予め検出したいエントリーパターンEPT1～EPTN及びそれに対応するフラグ信号FLG1～FLGNが設定される。上述したように、エントリーパターンがエントリーパターン保持部124に保持され、フラグ信号がフラグ保持部126に保持されている。このため、それぞれの比較部において、比較器122によって入力データINDとエントリーパターンとの比較が行われ、その結果、入力データINDとエントリーパターンが一致したとき、ヒット信号が出力され、さらにフラグ保持部126によって制御信号が出力される。

【0040】

図7は、本実施形態のパターン検出回路100において、検出したいエントリーパターンETP1～ETPN及びそれぞれのエントリーパターンに対応するフラグ信号FLG1～FLGNの一例を示している。

なお、ここで、フラグ信号FLG1～FLGNは、例えば、2ビットのデータからなり、図7に示すようにこれらの2ビットがそれぞれセット信号SETとクリア信号CLRを制御する。

【0041】

フラグ信号が図1に示すフラグ保持部126に保持される。前述したように、フラグ保持部126がフラグ信号FLG1～FLGNに応じて、制御信号CTL1～CTLN、即ち、セット信号SET1～SETNとクリア信号CLR1～CLRnを生成する。

【0042】

図7に示すように、フラグ信号は(1, 0)、(0, 1)及び(0, 0)の三つの状態をとる。なお、(1, 1)は禁止状態である。フラグ信号が(1, 0)のとき、セット信号がアクティブ状態、例えば、ハイレベルに保持され、クリア信号が非アクティブ状態、即ち、ローレベルに保持される。逆に、フラグ信号が(0, 1)のとき、セット信号が非アクティブ状態、即ち、ローレベルに保持され、クリア信号がアクティブ状態、即ち、ハイレベルに保持される。一方、フラグ信号が(0, 0)のとき、セット信号及びクリア信号がともに非アクティブ状態に保持される。このため、パターン検出窓信号PDWの状態が変化しない。

【0043】

次いで、図7を参照しつつ、エントリーパターン及びそれに対応するフラグ信号の具体例について説明する。

図7に示すように、まず、パケットスタートコード、即ち、32ビットのエントリーパターン0x000001baに対応するフラグ信号が(1, 0)に設定されている。

【0044】

次に、ビデオストリームスタートコード、即ちエントリーパターン0x000001eーに対応するフラグ信号が(0, 1)に設定されている。同様に、オー

デオストリームスタートコード、即ちエントリーパターン 0x000001cーまたは 0x000001dーに対応するフラグ信号がともに (0, 1) に設定されている。そして、エントリーパターン 0x000001bーに対応するフラグ信号が (0, 0) に設定されている。

【0045】

次に、図7に示すエントリーパターン及びそれに対応するフラグ信号に応じて、本実施形態のパターン検出回路100の検出動作について説明する。

図7に示すように設定されたエントリーパターン及びそれに対応するフラグ信号に応じて、本実施形態のパターン検出回路100は、入力されるデータストリームからエントリーパターンと一致するデータ系列を検出し、さらにそれぞれのエントリーパターンに対応するフラグ信号に応じて、それぞれの検出位置、即ち、マッチポジションを検出位置登録部140によって登録する。

【0046】

具体的に、例えば、パケットスタートコード、即ち、エントリーパターン 0x000001baと一致するデータ系列が検出したとき、当該エントリーパターンに対応するフラグ信号が (1, 0) であるので、パターン検出／非検出制御部130において、パターン検出窓信号PDWがアクティブ状態、例えば、ハイレベルに保持され、これに応じて、パターン検出／非検出制御部130によってアクティブ状態の保持イネーブル信号HEBが出力される。このため、検出位置登録部140において、パケットスタートコードに対応するマッチポジションがレジスタに登録される。

【0047】

そして、図3に示すように、パケットスタートコードを先頭とするパケットヘッダに続いてPESパケット入力される。PESパケットの先頭にビデオストリームスタートコードが配置されている。即ち、エントリーパターン 0x000001eーによって、EPSパケットの先頭にあるビデオストリームスタートコードが検出される。このとき、パターン検出／非検出制御部130において、パターン検出窓信号PDWがアクティブ状態にあるので、図3に示すように、ヒット信号HITに応じて、保持イネーブル信号HEBが出力される。これに応じて、

検出位置登録部 140 において、マッチポジションが登録される。また、図 7 に示すように、エントリーパターン 0x000001e に対応するフラグ信号が (0, 1) に設定されているので、パターン検出／非検出制御部 130 において、パターン検出窓信号 PDW が非アクティブ状態、例えば、図 3 に示すように、ローレベルに切り替えられる。このため、PES パケットの期間中にエントリーパターン、例えば、ユーザデータスタートコード (0x000001b2)、グループスタートコード (0x000001b8) などに応じて検出されたヒット信号 HIT が無効になるので、これらのエントリーパターンに対応するマッチポジションの登録が行われない。

【0048】

上述したように、本実施形態のパターン検出回路 100 において、パケットスタートコードに対応するエントリーパターン 0x000001ba が検出されたとき、当該エントリーパターンに対応するフラグ信号 (1, 0) に応じてパターン検出窓信号 PDW がアクティブ状態に設定されるので、パターン検出／非検出制御部 130 により、ヒット信号 HIT に応じて保持イネーブル信号 HEB が出力される。このため、検出位置登録部 140 において、エントリーパターンに応じたマッチポジションがレジスタに登録される。そして、PES パケットの先頭にあるビデオストリームスタートコードが検出されたとき、エントリーパターン 0x000001e に対応するフラグ信号が (0, 1) に設定されているため、パターン検出窓信号 PDW が非アクティブ状態に設定され、これに応じてそれ以降にヒット信号 HIT が出力されても、マッチポジションの登録が行われないので、必要なマッチポジションのみが登録され、検出位置登録部 140 のリソースの効率化が図れる。

【0049】

また、本実施形態のパターン検出回路 100 を用いれば、上述したように、パケットスタートコードに続いてビデオストリームの PES パケットが入力される場合は勿論、パケットスタートコードに続いてシステムヘッダ及びオーディオストリームの PES パケットが入力される場合でも、パターン検出／非検出制御部 130 において、パターン検出窓信号 PDW が正しく制御され、必要なヒット信

号のみに対してマッチポジションの登録を行うことができる。

【0050】

図3に示すように、パケットヘッダに続いて、システムヘッダ及びオーディオストリームのPESパケットが入力される場合、まずパケットヘッダの先頭にあるパケットストリームコードがエントリーパターン0x000001baによって検出される。そして、当該検出したマッチポジションが検出位置登録部140において登録される。また、このときのエントリーパターンに対応するフラグ信号が(1, 0)であるため、パターン検出／非検出制御部130においてパターン検出窓信号PDWがアクティブ状態に設定される。

【0051】

次いで、図3に示すように、システムヘッダの先頭にあるシステムヘッダスタートコードがエントリーパターン0x000001b-によって検出される。また、図7に示すように、エントリーパターン0x000001b-に対応するフラグ信号が(0, 0)であるため、この検出によってパターン検出／非検出制御部130のパターン検出窓信号PDWの状態が変わらず、アクティブ状態のままに保持される。

【0052】

システムヘッダに続いてオーディオストリームのPESパケットが入力されたとき、その先頭にあるオーディオストリームスタートコードがエントリーパターン0x000001c-または0x000001d-によって検出される。図7に示すように、エントリーパターン0x000001c-または0x000001d-に対応するフラグ信号が(0, 1)である。このため、オーディオストリームスタートコードの検出により、パターン検出／非検出制御部130のパターン検出窓信号PDWが非アクティブ状態に切り替えられる。これによって、オーディオストリームのPESパケットの期間中に、他のエントリーパターンによってヒット信号HITが得られても、保持イネーブル信号HEBが出力されることなく、マッチポジションの登録が行われない。

【0053】

以上説明したように、本実施形態のパターン検出回路によれば、それぞれの比

較部において、エントリーパターン保持部 124 及びフラグ保持部 126 によって、検出したいエントリーパターンとそれに対応するフラグ信号が記憶され、比較器 122 によって入力データ IND とエントリーパターン保持部 124 により保持されているエントリーパターンとが比較され、一致したときヒット信号が出力され、フラグ保持部 126 により保持されフラグ信号に応じて制御信号が出力され、パターン検出／非検出制御部 130 においてヒット信号及び制御信号に従って、必要なエントリーパターンが検出したときのみ保持イネーブル信号 HEB が出力され、これに応じてそのエントリーパターン及び検出位置が検出位置登録部 140 に登録される。このため、必要なヒット検出に対してのみその検出位置を登録することができ、検出位置を登録するためのリソースを効率よく利用すること可能となる。

【0054】

【発明の効果】

以上説明したように、本発明のパターン検出回路によれば、それぞれのエントリーパターンに対応して設定されたフラグ信号に従って、必要なマッチポジションのみを登録し、それ以外のマッチポジションを破棄することができるので、マッチポジションを登録する回路のリソース、即ち、エントリーパターン及びそれに対応するマッチポジションを記憶するレジスタまたはメモリを効率よく使用することができる。

また、本発明によれば、必要な空間のみにおいてパターン検出を行うことができ、検出不要な区間において一致検出信号を無視することができ、処理のオーバーヘッドを削減できる利点がある。

【図面の簡単な説明】

【図 1】

本発明に係るパターン検出回路の一実施形態を示す構成図である。

【図 2】

本実施形態のパターン検出回路にあるパターン検出／非検出制御部の構成を示す構成図である。

【図 3】

MPEG規格に準じて圧縮符号化されたデータストリームの一例を示す図である。

【図4】

MPEG規格におけるシステムレーヤのストリーム識別番号を示す図である。

【図5】

MPEG規格におけるビデオレーヤのスタートコードの例を示す図である。

【図6】

各レーヤのスタートコードを検出するためのエントリーパターンの例を示す図である。

【図7】

それぞれのエントリーパターン及びそれに対応するフラグ信号の例を示す図である。

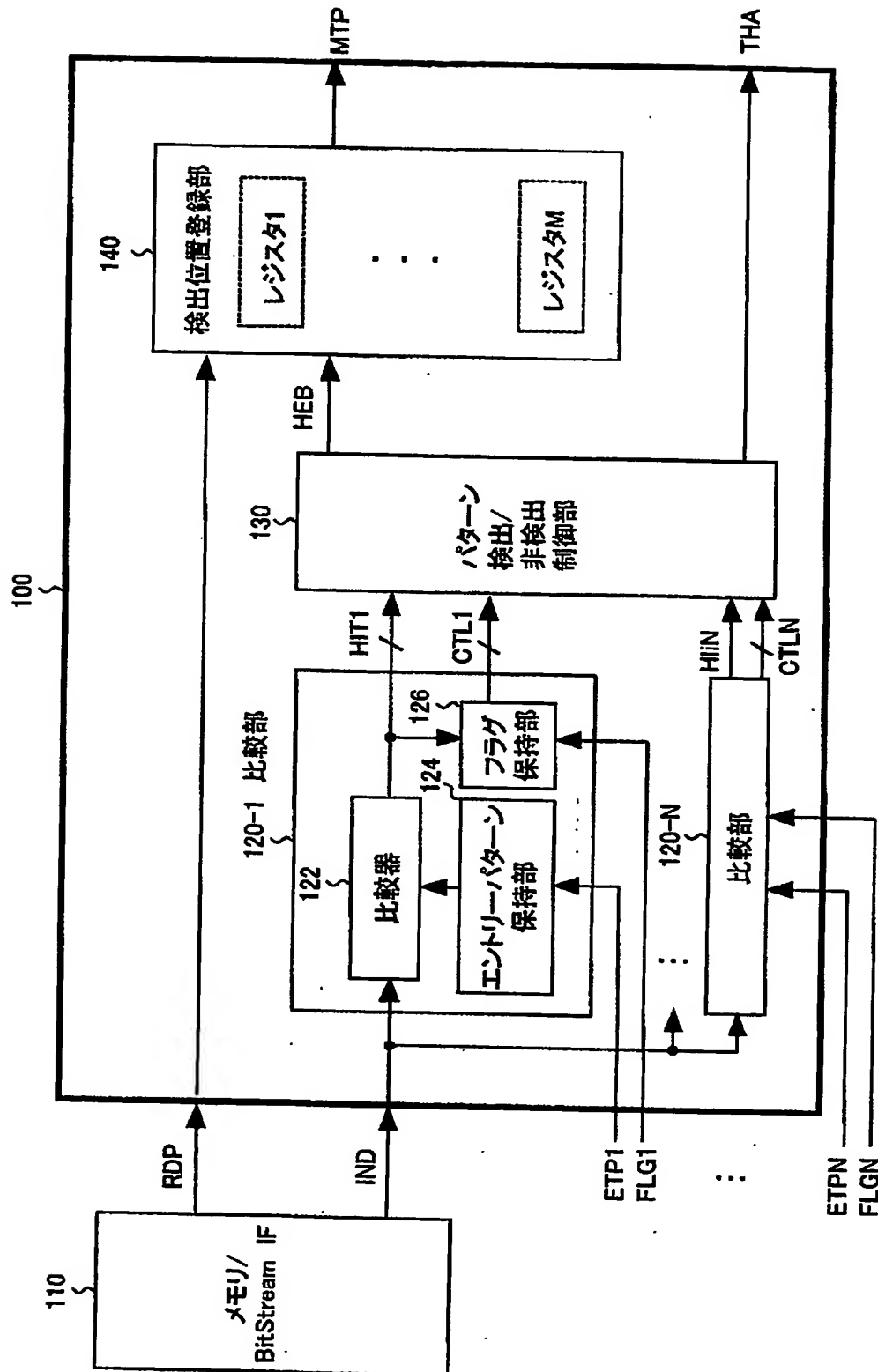
【符号の説明】

100…パターン検出回路、110…メモリ／ビットストリームインターフェース、120-1, …, 120-N…比較部、122…比較器、124…エントリーパターン保持部、126…フラグ保持部、130…パターン検出／非検出制御部、140…検出位置登録部。

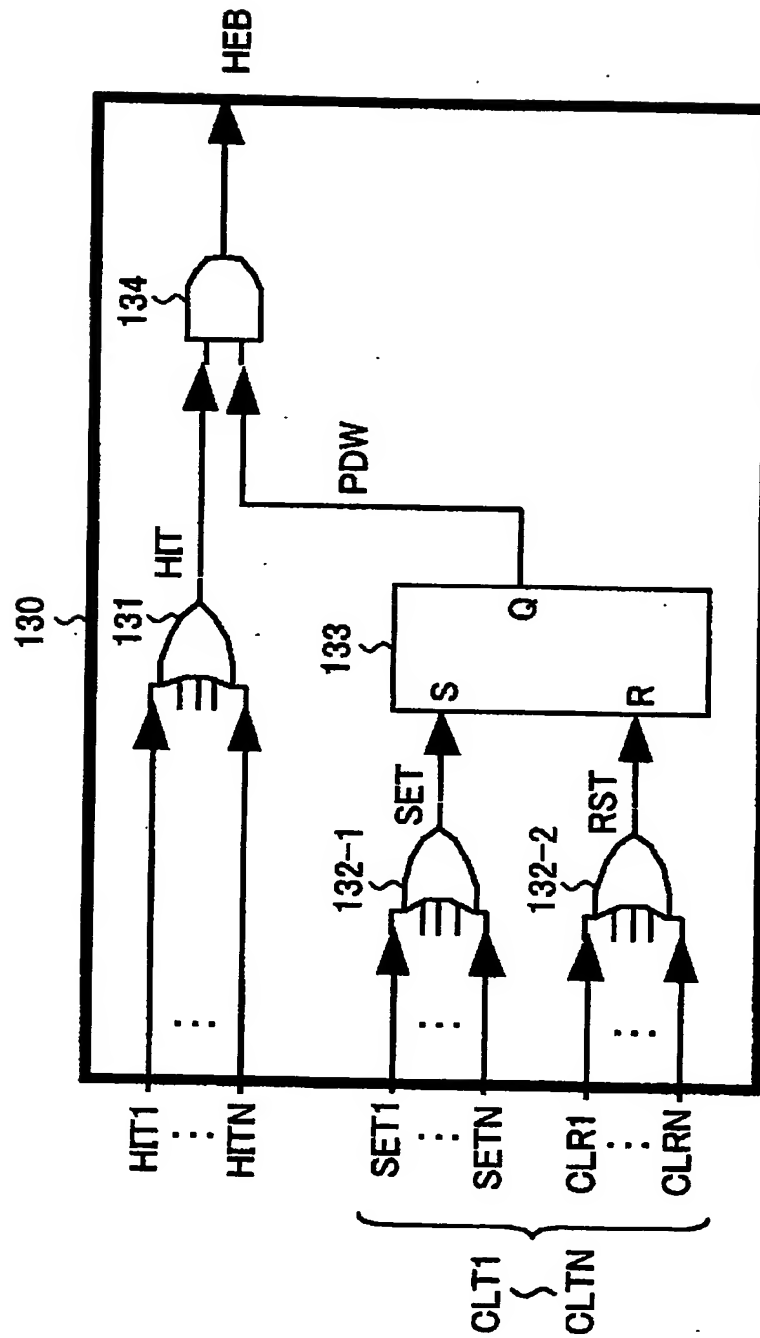
【書類名】

図面

【図 1】

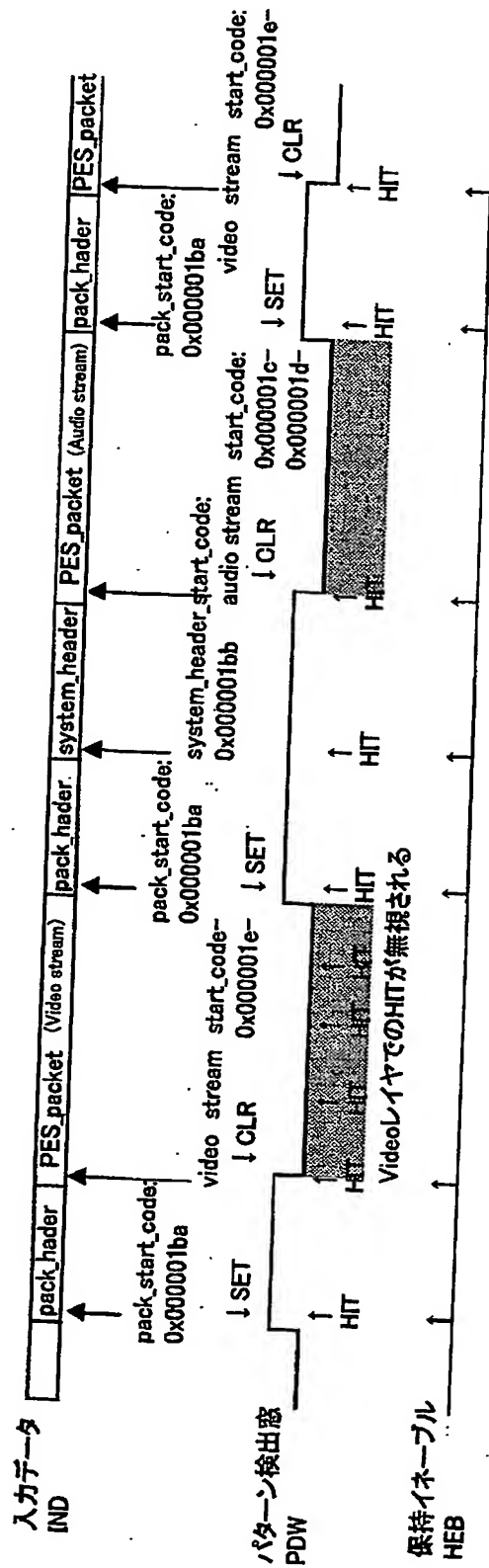


【図 2】



【図 3】

BEST AVAILABLE COPY



【図 4】

SystemレイヤのストリームID

bc	program_stream_map
bd	private_stream_1
be	padding_stream
bf	private_stream_2
c-, d-	13818-3 or 11172-3 Audio Stream
e-	13818-2 (H. 262) or 11172-2 Video Stream
f0	ECM_stream
f1	EMM_stream
f2	13818-1 (H. 220)
f3	13522_stream
f4	H. 222. 1 typeA
f5	H. 222. 1 typeB
f6	H. 222. 1 typeC
f7	H. 222. 1 typeD
f8	H. 222. 1 typeE
f9	ancillary_stream
ff	program_stream_directory

【図 5】

Videoレイヤのスタートコード:

00	picture_start_code
01~af	slice_start_code
b2	user_data_start_code
b3	sequence_header_code
b4	sequence_error_code
b5	extension_start_code
b7	sequence_end_code
b8	group_start_code

【図 6】

各レイヤでのスタートコード:

pack_start_code	0x000001ba	
system_header_start_code	0x000001bb	
audio stream start_code	0x000001c-	or 0x000001d-
video stream start_code	0x000001e-	

【図 7】

エントリーパターン	フラグ (Set,Clr)
0x0000_01ba	(1,0)
0x0000_01e	(0,1)
0x0000_01c	(0,1)
0x0000_01d	(0,1)
0x0000_01b	(0,0)

【書類名】 要約書

【要約】

【課題】 検索対象データとエントリーパターンとの比較結果に応じてパターン検出を行う場合、検出パターンと検出位置を記憶するリソースを節約でき、パターン検出後の処理のオーバーヘッドを削減できるパターン検出回路を実現する。

【解決手段】 比較部において、エントリーパターン保持部124及びフラグ保持部126によって検出したいエントリーパターンとそれに対応するフラグ信号が記憶され、比較器122によって入力データINDとエントリーパターンとが比較され、一致したときヒット信号が出力され、フラグ保持部126により保持されフラグ信号に応じて制御信号が出力され、パターン検出／非検出制御部130においてヒット信号及び制御信号に従って、必要なエントリーパターンが検出したときのみ保持イネーブル信号HEBが出力され、これに応じてそのエントリーパターン及び検出位置が検出位置登録部140に登録される。

【選択図】 図1

特願 2003-044407

出願人履歴情報

識別番号

[000002185]

1. 変更年月日

1990年 8月30日

[変更理由]

新規登録

住 所

東京都品川区北品川6丁目7番35号

氏 名

ソニー株式会社